

*Part of Report
p. 41*

-TRANSLATION-

PTO's Mailing Number: 284747

PTO's Mailing Date: October 9, 2001

FINAL DECISION OF REJECTION

Patent Application Number : 508050/'91
Date considered by the Examiner : September 28, 2001
Patent Office Examiner : Minoru Taga
Title of Invention : Semiconductor Memory Device
Applicant : Rambus Inc.
Attorney for the applicant : Masaki YAMAKAWA (and other five persons)

This application is recognized to be rejected for the reason described in the Notice of the Reason for Refusal dated July 28, 2000.

In addition, although a study on contents of the Argument and Amendment has been made, the reason which can explode the Reason for Refusal cannot be found.

REMARKS

(as per attached)

This is to certify that this copy is identified with the original.

Mailing date: October 9, 2001

Officer of the Ministry of
Economy Trade and Industry

Mamoru Hasegawa (seal)

REMARKS

§1 Regarding Claim 1:

Reference 1 (Patent Application Laid-Open No. Sho 58-192154) cited in the previously issued Notice of the Reasons for Refusal describes a RAM which receives clock pulses (ϕ_1 and ϕ_2) of a predetermined cycle from a CPU; generates the various timing signals therein from its timing generation circuit based on those clock pulses (ϕ_1 and ϕ_2); receives a device ID, an operation code and a RAM address sequentially transmitted by the CPU via a bus; determines by its device comparator whether the received device ID corresponds to its own device ID; and, when that device ID does match its own, transmits data in response to the request concerned.

No teaching of delay or programmable register

The various timing signals generated by the timing generation circuit are prepared based on the said clock pulses (ϕ_1 and ϕ_2) (Refer to the upper left column on page 2) and since the data D_1 to D_4 are in synchronism with the clock pulse ϕ_1 according to the time chart in Fig. 4, the RAM in Reference 1 is recognized as a synchronization type RAM which receives a device ID, an operation code and a RAM address and transmits data in response to a request in synchronism with the clock pulses of a predetermined cycle transmitted by the CPU. Because four bits of the data D_1 to D_4 are used for the reception and transmission of such things as a device ID, it is self-evident that there are provided a plurality of output drivers.

§2 Thus, the present invention in Claim 1 and Reference 1 differ in that:

(1) while, in the present invention in Claim 1, the amount of data to be outputted from the memory means is defined according to the read request by an input receiver circuit receiving block size.

information specifying the amount of data to be outputted from the memory means in response to the read request in synchronism with an external clock signal, no such arrangement is described in Reference 1, and in that,

(2) while the present invention in Claim 1 is provided with a programmable access time register for storing values indicative of the number of clocks of the external clock signal counted by the time the memory means responds to a read request where it is defined as to after how many clocks the data in response to the read request is to be outputted, no such arrangement is described in Reference 1.

The said differences will now be looked at.

§3 Difference (1):

It was well known prior to the present application, as from:
Patent Appln. Laid-Open No. Sho 60-261095 ("Reference 6")
Patent Appln. Laid-Open No. Sho 59-165285 ("Reference 7")
to provide a RAM with a function of sequentially and continuously reading data from an address and make it possible to define in the RAM the amount of data to be continuously read by defining from outside and through a bus a value corresponding to the total amount of data to be continuously read, and it is not particularly difficult to designate in the RAM of the invention in Reference 1 from outside via a bus a value corresponding to the total amount of data to be continuously read. Since it is recognizable that the RAM of Reference 1 transmits and receives data in synchronism with clock pulses, a value corresponding to the total amount of data to be continuously read can spontaneously be deduced as received also in synchronism with clock pulses.

≡ to Block Size
No tracking of delay
or programmable
register

§4 Difference (2):

Reference 4 (Patent Application Laid-Open No. Sho 63-91766) cited in the previously issued Notice of the Reasons for Refusal describes with regard to a data processing system having a central processing unit coupled with an N number of memory means via a bidirectional common bus an invention in which transmission and reception timings corresponding to time periods for having to wait before data read is transmitted on the bus are set with the transmission and reception timing setting circuit provided respectively in the N memory means by a command from the central processing unit whereby efficient access to the memory means is enabled, even if a bidirectional common bus for a narrow data width is used, by transmitting data on the common bus in accordance with the transmission and reception timings the respective memory means are set with in response to a request from the central processing unit for read requests.

no programmable register

Since both References 1 and 4 relate to a system having a central processing unit coupled with memory means via a bidirectional common bus with an aim to improve the efficiency of processing by the system while suppressing any increase to the bus width, it is readily conceivable for a person skilled in the art to apply to the invention of Reference 1 the technical idea of transmitting data on a common bus in response to read requests from the central processing unit in accordance with the transmission and reception timings the respective memory means are set with by commands from the central processing unit.

In Fig. 3 of Reference 4 is an indication of "→ Number of clocks" and lines 13 to 15 of the lower left column on page 2 also read "the number of clocks required for transferring to the central processing unit (CPU) 1 is ..." It can, therefore, be said that timings are grasped in terms of clock numbers in Reference 4 and it is suggested that values expressed in clock numbers are used as the transmission and reception timings the transmission and reception timing setting circuits of the memory means are set with.

Further, it is very common practice to use a register as a means for setting and holding control data like setting and holding a value corresponding to the total amount of data to be continuously read is set and held in References 6 and 7.

§5 Consequently, no special difficulty in creating Difference (2) is recognizable.

Thus, the present invention in Claim 1 was readily conceivable by a person of ordinary skill in the art based on the known techniques described in References 1 and 4 cited in the previous Notice of the Reasons for Refusal.

§6 Regarding Claim 2:

In the invention described in Reference 1, according to Fig. 4, data is outputted in synchronism with the falling edge of the clock pulse, but whether synchronization should be with the rising edge or falling edge is a matter of planning for a person skilled in the art.

§7 Regarding Claim 3:

It is easily conceivable by a person skilled in the art to generate an internal clock signal based on an external clock signal because, even if noise is mixed into the external clock signal line, it does not adversely affect data transmission and reception, and for such various purposes as enhancing the speed of data transfer (Patent Application Laid-Open No. Sho 58-184626 - "Reference 8"); solving the past problems of successive skew between the chips narrowing down the data valid window, thereby violating setup and hold times and causing bus contention (Patent Application Laid-Open No. Hei 2-8950 - "Reference 8"), and for converting a voltage

level when the inner and outer voltage levels are not compatible, like while an external clock signal is of a transistor logic (TTL) level, the interior of the integrated circuit is of a complementary metal oxide semiconductor (CMOS) level (Patent Application Laid-Open No. Sho 63-300310 - "Reference 10"). Data is outputted corresponding to clocks in References 8 and 9 as well.

§8 Regarding Claim (4):

Refer to Reference 10 and especially to [lines 19-27 on col. 1 of US Patent 4,761,567 corresponding to Reference 10].

§9 Regarding Claim (5):

In Reference 8, according to Fig. 6, data is outputted in synchronism with the falling edge of the signal V, but whether synchronism ought to be with the rising edge or falling edge is merely a matter of choice for a person skilled in the art.

§10 Regarding Claim (6):

In Reference 9, a delay locked loop circuit is used.

§11 Regarding Claim (7):

Since it is common practice in the technical field of computers to set control parameters during the initialization sequence after the terminal is switched on, no special difficulty is recognizable in what is recited in this claim.

§12 Regarding Claims (8)-(12), (15) and (19):

What are recited in these claims are found described in References 1 and 4. (With regard to Claim 19, refer to Fig. 4.)

§13 Regarding Claims (13) and (14):

It was widely known prior to the present application, as described in Patent Application Laid-Open No. Sho 58-31637 ["Reference 11"], for example, to store a unique identification value to identify the memory device from a plurality of other memory devices.

§14 Regarding Claim (16):

A device ID is programmable in the invention of Reference 1 as well by terminals V1 to V4. In addition, Reference 3 (Patent Application Laid-Open No. Sho 61-107453) cited in the previous Notice of the Reasons for Refusal also discloses an invention making an ID programmable.

§15 Regarding Claim (17):

The invention of Reference 3 is to set an ID by a control circuit. There is no description as to when the setting is achieved but it is obvious that the setting takes place after the module is supplied with power.

§16 Regarding Claim (18):

Whether to employ the method of carrying out precharge immediately after executing a series of read requests to close a page or not to carry out precharge to leave the page open is only

a matter of planning and choice for a person skilled in the art which can be decided in consideration of the merits and demerits of the two (For instance, the former has a demerit of requiring time for the outputting of the first data for its being unable to make use of the page mode in executing the next read request whereas control is easy).

§17 Regarding Claim (20):

The technical matter recited is the same as that in Reference 6.

§18 Regarding Claim (21):

Reference 6 discloses a technical idea of defining simultaneously in a single read request a numerical value corresponding to the total amount of data to be read continuously together with the address. Consequently, it can not be considered particularly difficult to include in one request packet in the invention of Reference 1 as well a read request, an address and a total amount of data by making use of any words (fields) being unused among the words X_0 to X_4 or by adding a word X_5 in the instruction format shown in Fig. 3.

§19 To add, the applicant contends through the Argument that Reference 4 does not disclose or suggest at all the characteristic of the present invention because, according to the technique in Reference 4, the timings set for the respective memory means would not change as long as the corresponding relations between the sequential order of consecutive N number of data and the serial numbers of N memory means remain the same but such timings do change when the corresponding relations between the order of those N data and serial numbers of those N memory means vary and, after all, the

timings have to be set every time a read request is issued or before each read request is issued.

As to whether or not it is necessary to set timings every time a read request is issued is not a contention relevant to the recitation of claim. Moreover, in Reference 4, it is readily perceivable by a person skilled in the art that it suffices to set timings for the memory means only in case the corresponding relations between the order of N consecutive data and the serial numbers of N memory means vary, and it can only be said that the applicant's assertion that "after all, the timings have to be set every time a read request is issued or before each read request is issued" is inappropriate.

Thence, the applicant's said contention is not acceptable.

§20 Thus, the inventions recited in Claims 1 to 21 were readily conceivable by anyone skilled in the art and can not be patented pursuant to Article 29, paragraph 2 of the Patent Law.

§21 Further, the applicant need be made aware of also the following:

(1) The recitations of Claims 7, 8 and 17 are to define when a value is to be set for the register and not to define the construction of an article. It is indeterminate, therefore, whether the inventions in those claims are in the category of articles or methods (This is in contradiction of Article 36, paragraph 5, item 2 and paragraph 6 of the Patent Law).

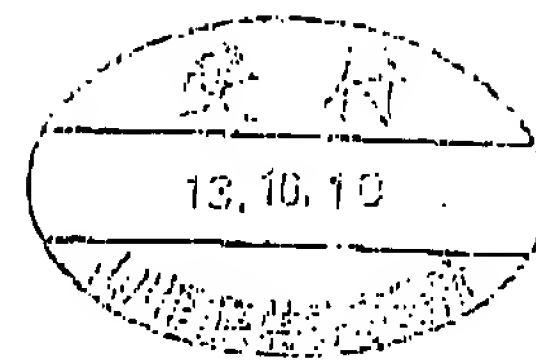
§22 (2) It is unclear which description in the specification the recitation "[output drivers (76)] output data synchronously with respect to a rising edge transition of the external clock signal (53, 54)" as amended is based on. It appears that the expression "synchronously with respect to a rising edge" specifies outputting

of data at the timing of a rising edge (as a trigger). But, as clear from the descriptions in [the original English text, page 56, line 21 to page 57, line 2] reading "One important part of the input/output circuitry generates an internal device clock based on early and late bus clocks. Controlling clock skew (the difference in clock timing between devices) is important in a system running with 2 ns cycles, thus the internal device clock is generated so the input sample and the output driver operate as close in time as possible to midway between the two bus clocks" and in [the original English text, page 58, lines 23 and 24] reading that "The gate delay between the internal device clock and output circuits driving the bus", the output drivers in the present invention are operated to output data in synchronism with the rising edge (or falling edge) of the internal device clock generated by early and late bus clocks. Because the internal device clock is of nearly an intermediate phase between the early bus clock and the late bus clock, the rising edge of the internal device clock and the rising edges of early and late bus clocks are mutually shifted in timing and not the same. The basis for the amendment in Claim 2 to read "output data synchronously with respect to a rising edge transition of the external clock signal (53, 54)" is, therefore, unclear.

発送番号 284747

発送日 平成13年10月 9日 1 / 7

拒絶査定



特許出願の番号	平成 3 年 特許願 第508050号
起案日	平成13年 9月28日
特許庁審査官	多賀 実 9367 5N00
発明の名称	半導体メモリ装置
特許出願人	ランバス・インコーポレーテッド
代理人	山川 政樹 (外 5名)

この出願については、平成12年7月28日付け拒絶理由通知書に記載した理由aによって、拒絶査定する。

なお、意見書及び手続補正書の内容を検討したが、拒絶理由を覆すに足りる根拠が見いだせない。

備考

(請求項1について)

先の拒絶理由通知書で引用した引用文献1（特開昭58-192154号公報）には、CPUから送出される所定周期のクロックパルス（φ1、φ2）を受信し、

前記クロックパルス（φ1、φ2）に基づいてRAM内の各種タイミング信号をタイミング発生回路において発生し、

バスを介してCPUから順次送出されるデバイスID、オペレーションコード、RAMアドレスを受信し、

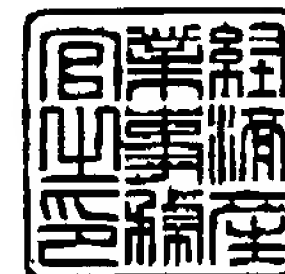
受信したデバイスIDが自己のデバイスIDに対応するか否かをデバイスコンパレータで判断し、

対応する時、要求に対する応答データを前記バスを介して行うRAMが記載さ

続葉有

上記はファイルに記録されている事項と相違ないことを認証する。

認証日 平成13年10月 9日 経済産業事務官 長谷川 守



発送番号 284747

2 / 7

続 葉

れている。

そして、タイミング発生回路において発生される各種タイミング信号は前記クロックパルス(φ1, φ2)に基づいて作成されており(引用文献1第2頁左上欄参照)、また、図面第4図のタイムチャートによれば、データD1~D4はクロックパルスφ1に同期しているから、引用文献1記載のRAMは、CPUから送出される所定周期のクロックパルスに同期して、デバイスID、オペレーションコード、RAMアドレスの受信、要求に対する応答データの送信を行う同期型のRAMが記載されていると認められる。デバイスID等の送受信にデータD1~D4の4ビットを用いているから、出力駆動器が複数あることは自明である。

したがって、本願の請求項1に係る発明と引用文献1記載の発明とは、

(1) 本願の請求項1に係る発明では、入力受信器回路で読み取り要求に応じてメモリ装置から出力されるべきデータ量を特定するブロックサイズ情報を外部クロック信号に同期して受信することにより、読み取り要求に応じてメモリ装置より出力されるデータ量が指定されるのに対し、引用文献1記載の発明ではその旨の記載はない点、

(2) 本願の請求項1に係る発明では、読み取り要求にメモリ装置が応答するまでの、外部クロック信号のクロック数を表している値を記録するプログラム可能なアクセス時間レジスタを備え、何クロック後に読み取り要求に応じたデータを出力するか指定されるのに対し、引用文献1記載の発明ではその旨の記載はない点、

で相違する。

そこで、上記相違点について判断する。

相違点(1)について、

RAMにおいて、あるアドレスからのデータを連続して順次読み出す機能を設けるとともに、連続して読み出すべきデータの総数に関連する数値を外部よりバスを介してRAMに指定することにより連続して読み出すべきデータ量を外部より指定可能とすることは、

・特開昭60-261095号公報(以下、「引用文献6」という。)

・特開昭59-165285号公報(以下、「引用文献7」という。)

に記載されているように本願出願前より周知であり、引用文献1記載の発明においても、連続して読み出すべきデータの総数に関連する数値を外部よりバスを介してRAMに指定し、対応するデータ量を連続読み出し可能とすることに、特段の困難性はない。引用文献1記載のRAMはクロックパルスに同期してデータの送受信を行っているとは認められるから、連続して読み出すべきデータの総数に関

続葉有

発送番号 284747

3 / 7

続 業

連する数値もクロックパルスに同期して受信することは自ずと導出されることである。

相違点(2)について、

先の拒絶理由通知書で引用した引用文献4(特開昭63-91766号公報)には、中央処理装置とN個の記憶装置が双方向の共通バスを介して接続されたデータ処理システムにおいて、中央処理装置からのコマンドにより、該N個の記憶装置それぞれに設けられている送受信タイミング設定回路に、読み出しデータを共通バスに送出するまで待たなければならない時間期間に対応する送受信タイミングを設定し、中央処理装置からの読み出し命令に対し、各記憶装置が前記コマンドで設定された送受信タイミングに従って共通バスにデータを送出することにより、データ幅の短い双方向性の共通バスを用いても、記憶装置に対する効率の良いデータアクセスを可能にした発明が記載されている。

引用文献1, 4は、共に中央処理装置と記憶装置が双方向性の共通バスで接続されたシステムに関し、バス幅の増加を抑えながらシステムの処理効率向上を目指したものであるから、引用文献1記載の発明に引用文献4記載の、中央処理装置からのデータ読み出し命令に対し、各記憶装置が中央処理装置からのコマンドで設定された送受信タイミングに従って共通バスにデータを送出する技術的思想を適用して、RAMに対する更に効率の良いデータアクセスを可能とすることは、当業者が容易に想到し得ることである。

なお、引用文献4図面第3図には「→クロック数」との記載があり、また、第2頁左下欄第13乃至15行目には「中央処理装置(CPU)1に転送するのに必要とするクロック数は」との記載もある。したがって、引用文献4記載の発明ではタイミングをクロック数で把握していると言え、記憶装置の送受信タイミング設定回路に設定される送受信タイミングとして、クロック数を単位として表現された値を用いることは引用文献4に示唆されている。また、上記引用文献6, 7において連続して読み出すべきデータの総数に関連する数値をレジスタに設定し保持しているように、制御情報を設定し保持する手段として「レジスタ」を用いることはごく一般的である。

したがって、上記相違点(2)に格別の創作困難性は認められない。

以上のとおりであるから、本願の請求項1に係る発明は、先の拒絶理由通知で引用した引用文献1, 4、及び上記周知技術に基づいて、当業者が容易に想到し得たものである。

続業有

発送番号 284747

4 / 7

続 葉

(請求項2について)

引用文献1記載の発明においては、図面第4図によれば、クロックパルスφ1の立ち下がり縁に同期してデータを出力しているが、立ち上がり縁に同期させるか立ち下がり縁に同期させるかは当業者が適宜選択し得る設計的事項に過ぎない。

(請求項3について)

外部からのクロック信号を基に内部クロック信号を生成することは、外部クロック信号線にノイズが乗ってもデータ送受信に悪影響を及ぼさず、また、データ転送速度の一層の高速化を図ることを目的として(特開昭58-184626号公報参照。以下「引用文献8」という。)、

バスを共有する2つのデバイスの動作をより精密に同期させることによって、従来の、チップ間の相次ぐスキューがバスのデータ有効窓を狭めセットアップ時間及びホールド時間を侵害しバス競合を発生させる問題を解決するため(特開平2-8950号公報参照。以下「引用文献9」という。)、

あるいは、外部クロック信号がトランジスタ論理(TTL)レベルのクロック信号であるのに対し、集積回路の内部が相補形金属酸化物半導体(CMOS)レベルであるという具合に、内部と外部とで電圧レベルに互換性がない場合の電圧レベル変換のため(特開昭63-300310号公報参照。以下「引用文献10」という。)、

等、種々の目的で当業者が容易に想到し得ることである。内部クロックに応じてデータの出力をすることは、上記引用文献8, 9においても同様である。

(請求項4について)

上記引用文献10、特に、第2頁右下欄15行目乃至第3頁左上欄3行目参照。

(請求項5について)

上記引用文献8では、図面第6図によれば信号Vの立ち下がり縁に同期してデータを出力しているが、立ち上がり縁に同期させるか立ち下がり縁に同期させるかは当業者が適宜選択し得る設計的事項に過ぎない。

(請求項6について)

上記引用文献9では遅延ロックスループ回路が用いられている。

続葉有

発送番号 284747

5 / 7

続 葉

(請求項7について)

計算機の技術分野において、装置にパワーが加えられた後の初期化シーケンス中で制御パラメータの設定等を行うことは広く一般的に行われていることであるから、請求項記載の点に特段の創作困難性は認められない。

(請求項8-12, 15, 19について)

各請求項記載の事項は、引用文献1あるいは引用文献4においても同様である(請求項19については引用文献1図面第4図参照)。

(請求項13, 14について)

各装置におけるIDとして、自己を他と識別する固有の識別値を記憶したり、複数装置を特定する識別値を記憶することは、例えば、

・特開昭58-31637号公報

に記載されているように、本願出願前より良く知られたことである。

(請求項16について)

引用文献1記載の発明においても端子V1~V4によりデバイスIDがプログラム可能である。また、先の拒絶理由通知書で引用した引用文献3(特開昭61-107453号公報)にもIDをプログラム可能にする発明が記載されている。

(請求項17について)

引用文献3記載の発明はIDが制御回路により設定されるものである。設定の時期についての記載はないが、モジュールにパワーが加えられた後に設定されることは明らかである。

(請求項18について)

一連の読み取り要求実行後直ちにブリチャージを実行してページを閉じる方式とするか、ブリチャージを実行せずページを開けたままとするかは、両者のメリット・デメリット(例えば、前者は、制御が簡単である一方、次の読み取り要求実行の際、ページモードが利用できず一目的のデータ出力に時間がかかるデメリットがある等)を考慮の上、当業者が適宜選択し得る設計的事項に過ぎない。

(請求項20について)

請求項記載の事項は、上記引用文献6においても同様である。

続葉有

発送番号 284747

6 / 7

続 業

(請求項21について)

上記引用文献6においては、読み取り要求に際し、アドレスと同時に連続して読出すべきデータの総数に関連する数値を指定しており、1回の読み取り要求中でアドレスとデータ総数を指定する技術的思想を開示している。したがって、引用文献1記載の発明においても、図面第3図に記載の命令形式において、桁X0～X4のうち使われていないビットがあればそれを用いたり、あるいは桁X5を追加する等により、1つの要求パケット中に読み取り要求、アドレス、及びデータ総数を含めることに特段の困難性は認められない。

なお、出願人は意見書において、引用文献4の技術によれば、連続したN個のデータの順番と、N個の記憶装置の番号との間の対応関係が変化せず同一であれば、記憶装置それぞれに設定されるタイミングは変化しないけれども、N個のデータの順番と、N個の記憶装置の番号との間の対応関係に変化があれば、記憶装置それぞれに設定されるタイミングは変化するから、結局、読み出し命令を発行する毎に、そしてその読み出し命令の発行の前に、タイミングの設定を行うことになり、本願発明の特徴を何ら開示も示唆もしていない旨、主張している。

しかしながら、読み出し命令を発行する毎にタイミングの設定を行う必要があるか否かは、特許請求の範囲の記載に基づいた主張ではない。また、引用文献4において、連続したN個のデータの順番と、N個の記憶装置の番号との間の対応関係が変化する場合に限り記憶装置それぞれにタイミングを設定すればよいことは当業者が容易に理解できることであり、出願人の「結局、読み出し命令を発行する毎に、そしてその読み出し命令の発行の前に、タイミングの設定を行うことにな」る旨の主張は失当であると言わざるを得ない。

したがって、意見書における上記主張は採用できない。

以上のとおりであるから、本願の請求項1～21に係る発明は当業者が容易に想到し得たものであり、特許法第29条第2項の規定により特許を受けることができない。

なお、下記点についても留意されたい。

(1) 請求項7, 8, 17の記載は、どの時点でレジスタに値を設定するかという設定方法を特定する記載であって、物の構成を特定する記載ではない。したが

続業有

発送番号 284747

7 / 7

総 論

って、当該請求項に係る発明のカテゴリーが「物」の発明、「方法」の発明のいずれであるのか不明瞭である（特許法第36条第5項第2号及び第6項に反する）。

（2）請求項2の「外部クロック信号（53、54）の立ち上がり縁に同期してデータの出力をする」点が、当初明細書のどの記載に基づいた補正であるのか不明瞭である。「立ち上がり縁に同期して」との記載は、立ち上がり縁をタイミング（トリガ）としてデータを出力することを特定していると思われる。ところが、当初明細書第36頁第28行目乃至第37頁3行目の「入出力回路の1つの重要な部分は、早期及び後発バスクロックに基づいて内部装置クロックを生成する。クロックスキュー（装置間のクロックタイミングの差異）の制御は、2nsサイクルで走行しているシステムでは重要であり、従って内部装置クロックを生成して入力サンプリング回路と出力駆動器が2つのバスクロック間の間にできるだけ時間的に近く作動するようにする。」との記載、第38頁第8及び9行目の「内部装置クロックとバスを駆動する出力回路の間のゲート遅延」との記載から明らかなように、本願発明は、早期及び後発バスクロックにより生成した内部装置クロックの立ち上がり縁（あるいは立ち下がり縁）に同期して出力駆動器を駆動しデータを出力している。内部装置クロックは早期及び後発バスクロックのほぼ中間の位相であるから、内部装置クロックの立ち上がり縁と、早期や後発バスクロックの立ち上がり縁とはタイミングがずれており、同じではない。したがって、請求項2の「外部クロック信号（53、54）の立ち上がり縁に同期してデータの出力をする」という補正の根拠が不明瞭である。